САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab5

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д. Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Задание lab5\_1 3](#_Toc63093749)

[1.1 Задание 3](#_Toc63093750)

[1.2 Описание на языке Verilog 3](#_Toc63093751)

[1.3 Результат синтеза (RTL) 4](#_Toc63093752)

[1.4 Моделирование 4](#_Toc63093753)

[1.5 Выводы 5](#_Toc63093754)

[2 Задание lab5\_2 6](#_Toc63093755)

[2.1 Задание 6](#_Toc63093756)

[2.2 Схема проекта 6](#_Toc63093757)

[2.3 Описание на языке Verilog 7](#_Toc63093758)

[2.4 Результат синтеза (RTL) 8](#_Toc63093759)

[2.5 Моделирование 8](#_Toc63093760)

[2.6 Выводы 9](#_Toc63093761)

# Задание lab5\_1

## Задание

На языке Verilog разработать параметризированный модуль, который содержит:

2 входных регистра; Умножитель; Выходной регистр

* ena –(key[0]) –разрешение работы (при 1)
* arst-(key[1]) –асинхронный сброс (при 0)
* clk -тактовый сигнал
* da[3..0] –sw[7..4],
* db[3..0] –sw[3..0]
* result [7..0] –led [7..0]

Необходимо создать:

* Параметризированный регистр
* Параметризированный умножитель
* Параметризированное описание верхнего уровня

## Описание на языке Verilog

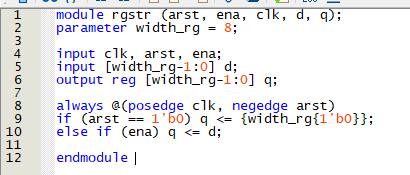


Рис. 1‑1 Описание регистра на языке Verilog

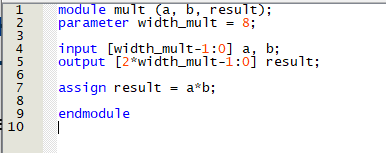


Рис. 1‑2 Описание умножителя на языке Verilog

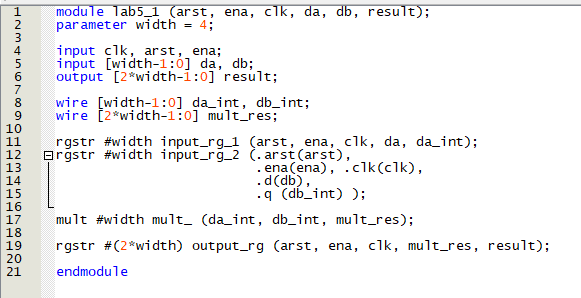


Рис. 1‑3 Описание верхнего уровня на языке Verilog

## Результат синтеза (RTL)

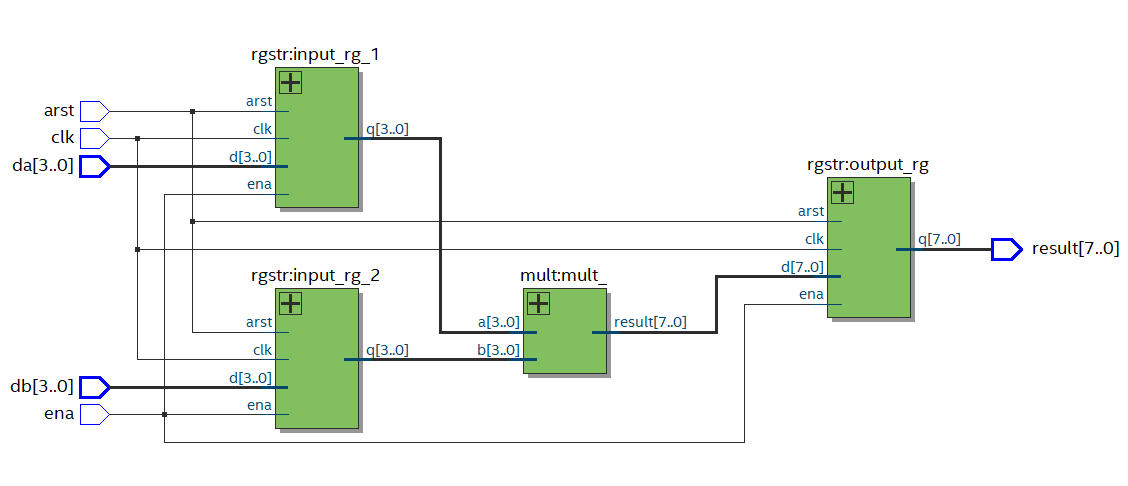


Рис. 1‑4Синтезированная схема

## Моделирование

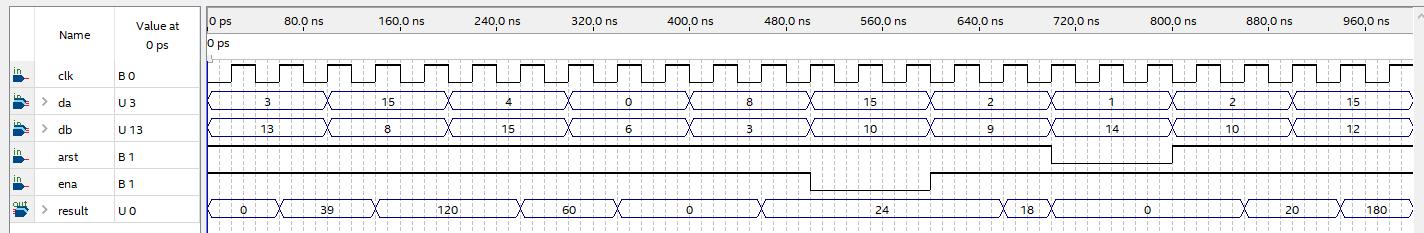


Рис. 1‑5 Результат моделирования средствами QII

## Выводы

В ходе выполнения лабораторной работы было описано устройство, состоящее из трех модулей, регистра, умножителя и верхнего уровня, связывающего регистр и умножитель и задающего их работу. В результате, оно способно перемножать числа, по сигналу хранить их в памяти, а также при необходимости сбрасывать данные в регистре. Описана заданная схема, проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Задание lab5\_2

## Задание

На языке Verilog создать иерархическое описание представленной ниже схемы

* сnt–параметризированный счетчик-делитель: коэффициент деления задается параметром; выход –сигнал переноса
* srg–параметризированный кольцевой сдвигающий регистр с параллельной загрузкой, описание которого выполнено с помощью цикла for loop

Clk –тактовый (25 МГц), sw[7..0] –данные загружаемые в сдвигающий регистр

key[0]–сигнал синхронной загрузки данных в сдвигающий регистр

led[7..0] –содержимое сдвигающего регистра

Создать параметризируемый модуль счетчика делителя (базовое значение параметра –3), посмотреть синтезированную пакетом схему, осуществить его моделирование

Создать параметризированный модуль кольцевого сдвигающего регистра с параллельной загрузкой (базовое значение параметра –8), посмотреть синтезированную пакетом схему, осуществить его моделирование

Создать структурное описание верхнего уровня (оно должно быть параметризированным: задаются параметры:

1) деления частоты для счетчика делителя (базовое значение параметра -4),

2) разрядность кольцевого сдвигающего регистра (базовое значение параметра -8),

## Схема проекта

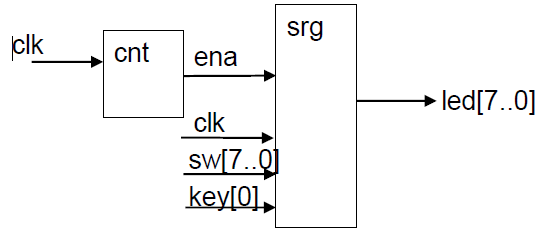


Рис. 2‑1 Схема проекта

## Описание на языке Verilog

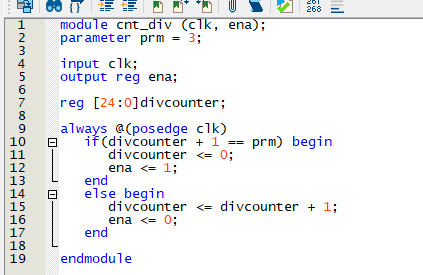


Рис. 2‑1 Описание счетчика на языке Verilog

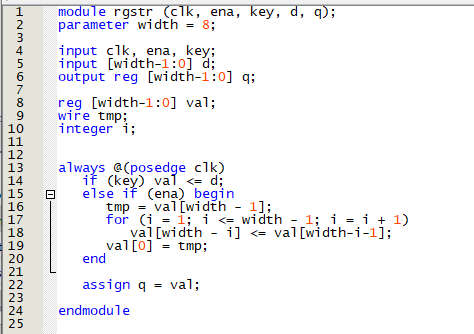


Рис. 2‑2 Описание регистра на языке Verilog

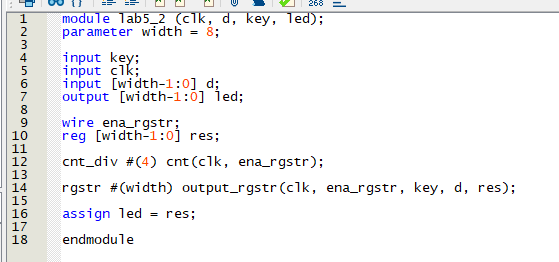


Рис. 2‑3 Описание верхнего уровня на языке Verilog

## Результат синтеза (RTL)

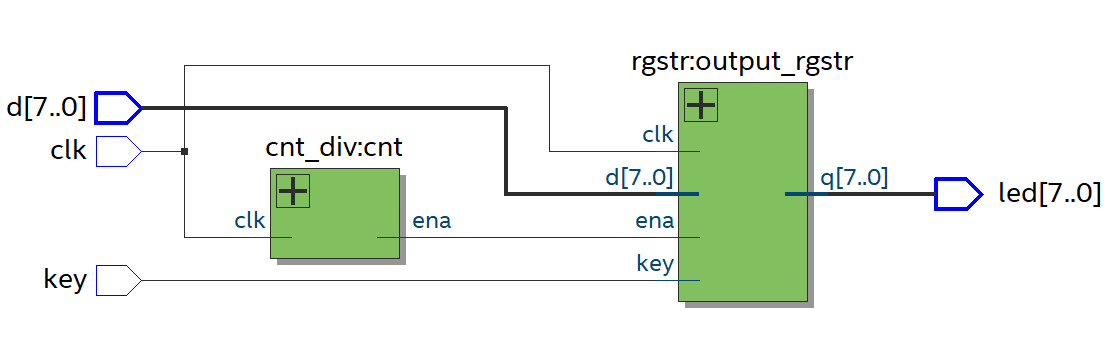


Рис. 2‑4 Схема проекта

## Моделирование

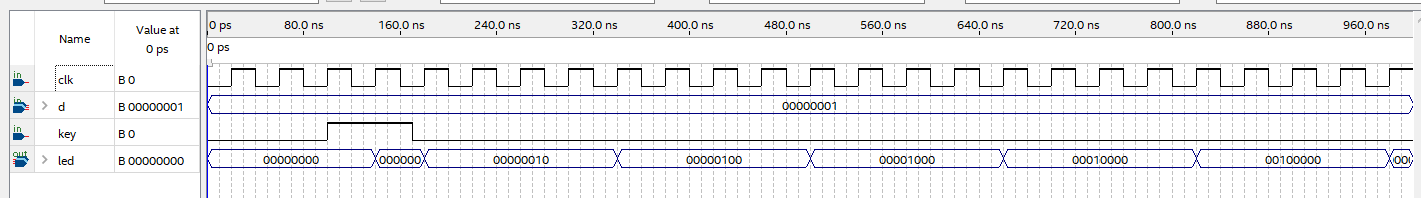


Рис. 2‑5 Результаты моделирования

## Выводы

В ходе выполнения лабораторной работы на языке Verilog создано иерархическое описание параметризированного счетчика-делителя и параметризированного кольцевого сдвигающего регистра с параллельной загрузкой. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Счетчик подает сигнал ena на регистр, и по сигналу key данные загружаются в него, что начинает его работу. Моделирование проведено успешно, устройство работает правильно.